**Circuitos lógicos**

Los memristores son una opción nueva para mejorar los circuitos porque superan algunas limitaciones de los transistores tradicionales, como el material que usan, el consumo de energía y el costo. Desde que se descubrieron en 1971 y se empezaron a fabricar a nanoescala en 2008, han permitido avances importantes. Además, se pueden integrar fácilmente con la tecnología CMOS actual, ya que pueden colocarse en la misma capa de metal, lo que ahorra espacio y hace que los circuitos funcionen más rápido. [1]

Los circuitos combinacionales mejorados usando puertas MRL que solo necesitan un memristor y un transistor NMOS por puerta. También se diseñó un módulo lógico que combina un transistor y cinco memristores para hacer operaciones como AND, OR y XOR. Esto ayuda a que los circuitos tengan menos retrasos, consuman menos energía y usen menos componentes que otros métodos. Además, las señales que generan son muy claras sin tener que usar partes extras, y su velocidad puede ser hasta diez mil veces mejor que la tecnología CMOS tradicional. [1]

Los circuitos que usan transistores FeFET (Ferroelectric Field-Effect Transistor) muestran mejoras importantes frente a los tradicionales CMOS y otras tecnologías nuevas. Estos dispositivos pueden guardar información sin perderla, lo que permite hacer memorias más pequeñas y rápidas, y unidades lógicas eficientes. Además, estos diseños usan menos espacio, consumen menos energía y son más rápidos, especialmente cuando usan un tipo de lógica que reduce a la mitad los transistores necesarios, lo que también evita el gasto innecesario de energía.[2]

La computación con ADN es una forma diferente de hacer circuitos usando moléculas biológicas, aprovechando que pueden hacer muchas cosas al mismo tiempo para resolver problemas complejos, como en medicina. Usan modelos y métodos especiales que permiten construir compuertas lógicas con ADN, aunque con algunas limitaciones. Para facilitar su diseño y funcionamiento, se creó un sistema llamado RTL2DNA, que convierte los circuitos lógicos en experimentos en chips microfluídicos, manteniendo buen rendimiento y precisión incluso en circuitos grandes.[3]

Por otra parte, se han diseñado circuitos moleculares que pueden manejar información dependiendo del tiempo en que llegan las señales, usando ADN y memoria temporal. Esto significa que pueden diferenciar el orden en que llegan las señales para tomar decisiones más complejas. Esta forma de trabajar es escalable y tiene potencial para usarse en redes neuronales hechas con ADN o en máquinas moleculares que aprendan y se comporten de forma inteligente.[4]

**Aritmética Decimal**

La precisión mejora al diferenciar números exactos de aquellos con incertidumbre mediante marcas como .L (baja fracción) y .H (alta fracción). Por ejemplo, un número representado como **0.L** indica que su valor está cerca de 0.2, mientras que **0.H** estaría cerca de 0.7. Esto ayuda a detectar errores y evitar que operaciones posteriores traten como exactos números que en realidad tienen margen de error, mejorando la fiabilidad en cálculos financieros y científicos.[5]

Para convertir un número decimal codificado en BCD a binario, el número se divide en grupos de 8 bits (equivalentes a 2 dígitos decimales). Por ejemplo, el número **32** se divide en dos dígitos: **3** y **2**. El dígito 3 se multiplica por 10 para dar **30**, y el dígito 2 se suma directamente, resultando en **32** en binario. Esta conversión directa y paralela reduce errores de redondeo y evita usar multiplicadores, mejorando velocidad y eficiencia en dispositivos FPGA.[6]

La multiplicación decimal se acelera combinando software y hardware. Por ejemplo, para calcular **4 x 7,** se suma 4 repetidamente siete veces en software para generar los múltiplos, y el hardware acumula estos productos parciales de forma eficiente. Otros métodos usan hardware para combinar productos parciales de manera paralela, mejorando la velocidad a costa de más recursos. Estas técnicas reducen significativamente el tiempo y área requeridos en comparación con métodos puramente software o hardware.[7]

Los sumadores decimales de acarreo anticipado calculan todos los acarreos entre dígitos simultáneamente, en lugar de esperar que cada uno se propague en secuencia. Por ejemplo, al sumar “**358 + 174”**, en lugar de esperar que el acarreo entre las unidades (8+4), decenas (5+7) y centenas (3+1) se pase uno por uno, el circuito calcula desde el inicio si habrá acarreo en cada posición (C1, C2, C3) usando solo las entradas, lo que acelera la operación y mejora la eficiencia energética. Aunque este diseño requiere más transistores, la ganancia en velocidad es significativa.[8]

**Referencias Bibliográficas**

[1] G. Liu, S. Shen, P. Jin, G. Wang, and Y. Liang, “Design of Memristor-Based Combinational Logic Circuits,” *Circuits Syst Signal Process*, vol. 40, no. 12, pp. 5825–5846, Dec. 2021, doi: 10.1007/s00034-021-01770-1.

[2] X. Yin, X. Chen, M. Niemier, and X. S. Hu, “Ferroelectric FETs-Based nonvolatile logic-in-memory circuits,” *IEEE Trans Very Large Scale Integr VLSI Syst*, vol. 27, no. 1, pp. 159–172, Jan. 2019, doi: 10.1109/TVLSI.2018.2871119.

[3] Z. Beiki and A. Jahanian, “RTL2DNA: An automatic ow of large-scale DNA-based logic circuit design,” *Scientia Iranica*, vol. 30, no. 4 D, pp. 1279–1295, 2023, doi: 10.24200/sci.2022.54993.4017.

[4] A. P. Lapteva, N. Sarraf, and L. Qian, “DNA Strand-Displacement Temporal Logic Circuits,” *J Am Chem Soc*, vol. 144, no. 27, pp. 12443–12449, Jul. 2022, doi: 10.1021/jacs.2c04325.

[5] M. F. Mudawar, “Exact Versus Inexact Decimal Floating-Point Numbers and Arithmetic,” *IEEE Access*, vol. 11, pp. 17891–17905, 2023, doi: 10.1109/ACCESS.2023.3244891.

[6] S. R. Sahu and M. Pradhan, “Mixture of Decimal and Binary Arithmetic Units for FPGA Based Architecture,” in *2020 4th International Conference on Electronics, Materials Engineering and Nano-Technology, IEMENTech 2020*, Institute of Electrical and Electronics Engineers Inc., Oct. 2020. doi: 10.1109/IEMENTech51367.2020.9270100.

[7] *2018 IEEE Asia Pacific Conference on Circuits and Systems : 26-30 October 2018, Chengdu, China*. Institute of Electrical and Electronics Engineers, 2018.

[8] A. Al Share, O. Al-Khaleel, F. N. Zghoul, M. Al-Khaleel, and C. Papachristou, “Design and Implementation of High Speed Carry Look-Ahead Decimal Adder (CLDA) Using CMOS Technology,” *IEEE Access*, 2025, doi: 10.1109/ACCESS.2025.3540836.